

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-008430

(43)Date of publication of application : 12.01.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/265

(21)Application number : 06-163061

(71)Applicant : SONY CORP

(22)Date of filing : 21.06.1994

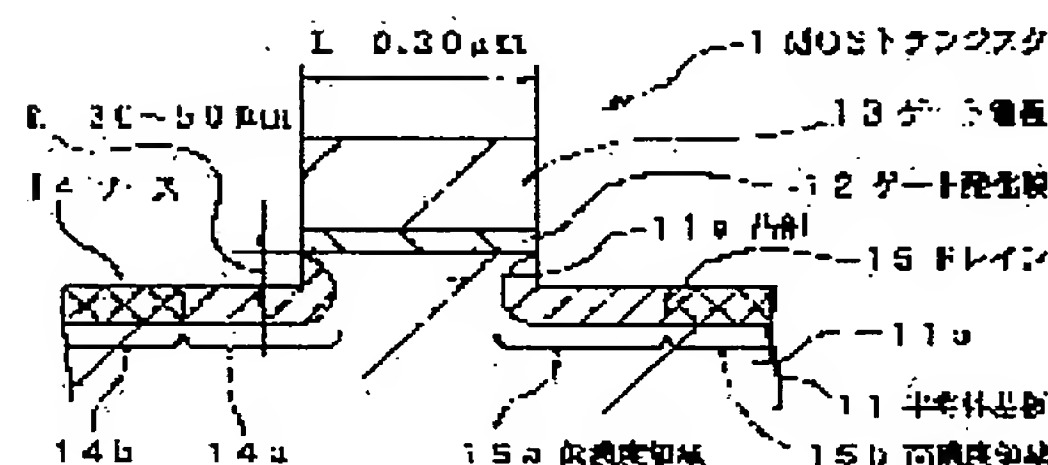
(72)Inventor : KUROKAWA ATSUO

(54) MOS TRANSISTOR AND ITS FORMING METHOD

(57)Abstract:

PURPOSE: To provide a MOS transistor wherein the field intensity in the vicinity of a P-N junction of a channel forming part can be sufficiently relieved, and the forming method of the transistor, and realize the fine structure of an element.

CONSTITUTION: A protruding part 11a is formed on the surface of a semiconductor substrate 11. A gate electrode 13 is formed on the upper surface of the protruding part 11a, via a gate oxide film 12. The low concentration regions 14a and 15a of a source 14 and a drain 15 are arranged on the surface layer of the semiconductor substrate 11, from both side walls of the protruding part 11a to the side of the gate electrode 13. The high concentration regions 14b and 15b of the source 14 and the drain 15 are arranged on the surface layer of the semiconductor substrate 11 on both sides of the low concentration regions 14a and 15a sandwiching the gate electrode 13, in the state joining to the low concentration regions 14a and 15a. Thereby a channel forming part under the gate electrode 13 and the high concentration region 15b of the drain 15 are arranged so as to keep an interval corresponding with the step-difference of the protruding part 11a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-8430

(43)公開日 平成8年(1996)1月12日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

21/336

21/265

H 0 1 L 29/ 78

3 0 1 L

21/ 265

V

審査請求 未請求 請求項の数4 F D (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-163061

(22)出願日 平成6年(1994)6月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒川 敦雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

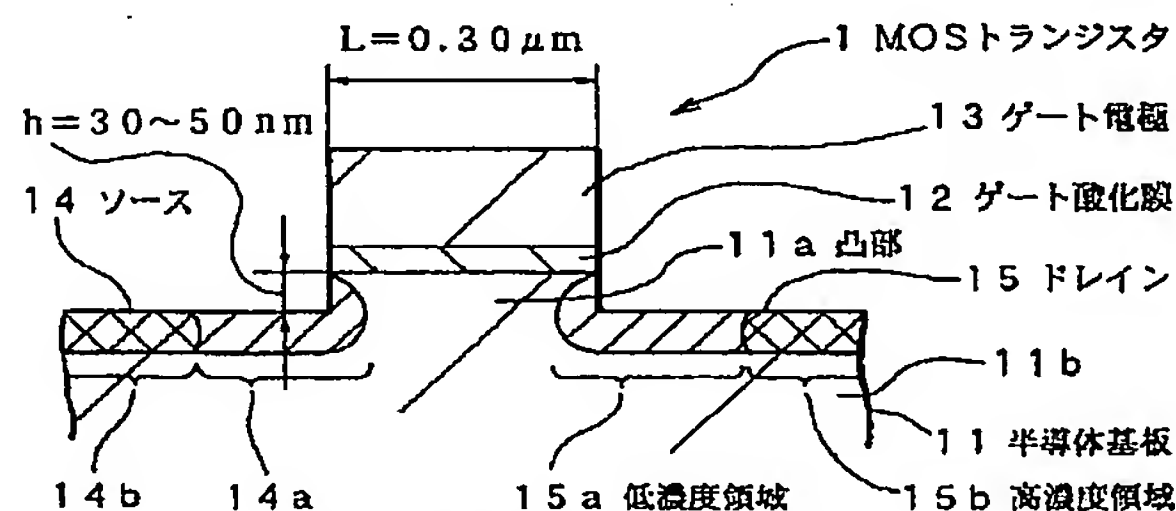
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 MOSトランジスタ及びその形成方法

(57)【要約】

【目的】 チャネル形成部のp n接合付近での電界強度を十分に緩和できるMOSトランジスタ及びその形成方法を提供し、素子構造の微細化を促進する。

【構成】 半導体基板11aは表面に凸部11aを有している。凸部11aの上面にはゲート酸化膜12を介してゲート電極13が形成されている。凸部11aの両側壁からゲート電極13の側方側にかけての半導体基板11の表面層には、ソース14及びドレイン15の低濃度領域14a、15aが配置されている。また、ゲート電極13を挟んだ低濃度領域14a、15bの両側の半導体基板11表面層には低濃度領域14a、15aと接合する状態でソース14及びドレイン15の高濃度領域14b、15bが配置されている。これによって、ゲート電極13下のチャネル形成部とドレイン15の高濃度領域15bとが、凸部11aの段差に対応した間隔を保って配置される。



第1実施例のMOSトランジスタ

【特許請求の範囲】

【請求項1】 表面に凸部を有する半導体基板と、前記半導体基板の凸部の上面に形成されるゲート酸化膜と、前記ゲート酸化膜上に形成されるゲート電極と、ソース及びドレインを形成する不純物拡散層であって、少なくとも前記半導体基板の前記凸部の両側壁に沿って当該半導体基板中に配置される低濃度領域と、前記低濃度領域と共に前記ソース及びドレインを構成し前記低濃度領域よりも不純物濃度が高い不純物拡散層であって、前記低濃度領域と接合する状態で前記ゲート電極を挟んで当該低濃度領域の両側の前記半導体基板表面に沿って当該半導体基板中に配置される高濃度領域とからなることを特徴とするMOSトランジスタ。

【請求項2】 半導体基板上にゲート酸化膜を介してゲート電極形成層を成膜し、当該ゲート電極形成層の上面にレジストパターンを形成し、次いで当該レジストパターンをマスクにして前記ゲート電極形成層と前記ゲート酸化膜と前記半導体基板の上層とをエッチングすることによって当該ゲート電極形成層からなるゲート電極を形成すると共に当該ゲート電極の下方にゲート酸化膜を介して当該半導体基板の凸部を形成する第1工程と、前記半導体基板を回転させながら前記ゲート電極をマスクにした斜めイオン注入によって当該半導体基板に不純物イオンを注入し、当該不純物イオンが注入された半導体基板中において当該斜めイオン注入の際に前記ゲート電極の影になって少なくとも一方向からは前記不純物イオンが注入されない部分にソース及びドレインの低濃度領域を形成しその他の部分に当該ソース及びドレインの高濃度領域を形成する第2工程とを行うことを特徴とするMOSトランジスタの形成方法。

【請求項3】 請求項2記載のMOSトランジスタの形成方法において、前記第2の工程では、前記斜めイオン注入法による不純物イオンの注入と前記半導体基板に対してほぼ0度の入射角度からのイオン注入とによって当該半導体基板に前記不純物イオンと同じ導電型の不純物イオンを注入し、当該半導体基板中にソース及びドレインの高濃度領域を形成することを特徴とするMOSトランジスタの形成方法。

【請求項4】 請求項2記載のMOSトランジスタの形成方法において、前記第2工程の後、前記ゲート電極の側壁と当該ゲート電極下方の前記ゲート酸化膜及び前記半導体基板の側壁とにサイドウォールを形成する第3工程と、前記ゲート電極と前記サイドウォールとをマスクにして前記半導体基板に対してほぼ0度の入射角度から前記不純物イオンと同じ導電型の不純物イオンを注入し、当該半導体基板中にソース及びドレインの高濃度領域を形成する第4の工程とを行うことを特徴とするMOSトラン

ジスタの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOSトランジスタ及びその形成方法に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化に伴い、素子構造の微細化が進展している。MOSトランジスタでは、上記微細化の進展によってゲート長が $1.0\mu\text{m}$ 程度以下になると、短チャネル効果やホットキャリア効果のような信頼性に影響を及ぼす現象が発生し易くなる。そこで、MOSトランジスタでは、例えば図7(2)または図8(2)に示すようなLDD(Lightly-Doped Drain)構造で素子を構成することによって上記現象の発生を防止している。

【0003】図7(2)に示すMOSトランジスタ7

は、例えば以下のようにして形成する。まず、図7(1)に示すように、p型シリコンからなる基板71の表面にゲート酸化膜72を介してゲート電極形成層73を成膜する。さらに、この上面にレジストからなるエッチングパターン74を形成し、この上方からゲート電極形成層73をエッチングしてゲート電極75を形成する。次いで、図7(2)に示すように、エッチングパターン(74)を除去した後、基板71を回転させながらゲート電極75をマスクにした斜めイオン注入によってn型の不純物イオン76を基板71に注入する。この斜めイオン注入は、ゲート電極75を突き抜けない程度の高エネルギーで行うことによって、ゲート電極75の端部下方にまで不純物イオン76を注入する。そして、注入した不純物イオン76を基板71中に熱拡散させて、ゲート電極75の両端下方からその側周部における基板71の表面側に低濃度領域77a、78aと高濃度領域77b、78bとからなるソース77及びドレイン78を形成する。

【0004】そして、図8(2)に示すMOSトランジスタを形成する場合には、上記図7(2)で示した工程に引き続き、図8(1)に示すようにゲート電極75の側壁にサイドウォール81を形成する。次いで、図8(2)に示すように、ゲート電極75とサイドウォール81とをマスクにして、基板71の表面に対してほぼ0度の入射角度からn型の不純物イオン82を注入する。その後、この不純物イオン82を基板71中に熱拡散させ、ゲート電極75の両端下方からその側方側における基板71の表面側に83a、84aと高濃度領域83b、84bとからなるソース83及びドレイン84を形成する。

【0005】上記のようにして形成されたMOSトランジスタ7、8では、斜めイオン注入によってチャネル形成部と接するドレイン78、84の端部に不純物濃度が低い低濃度領域が形成される。このため、短チャネル効

果を防止するために基板 7 1 の p 型不純物濃度を高くした場合に、この低濃度領域によって素子内の電界強度が緩和される。したがって、チャネルのエレクトロンが高電界によってホットエレクトロンになることが防止される。

【0006】

【発明が解決しようとする課題】しかし、上記 MOS トランジスタでは、ソース及びドレインの低濃度領域の形成範囲が、ゲート電極の高さとサイドウォールの幅と斜めイオン注入の際の不純物イオンの注入エネルギー及び入射角度とによって制限される。上記ゲート電極の高さは、素子構造の微細化によって薄膜化する傾向にあり、これに伴ってサイドウォールの幅も狭くなる。そして、不純物イオンの注入エネルギーの上限はゲート電極を突き抜けない範囲に設定する必要があることから、ゲート電極の薄膜化によって注入エネルギーも低エネルギー化する傾向にある。

【0007】これらのことから、上記構造の MOS トランジスタでは、素子構造の微細化に伴って低濃度領域の形成範囲が縮小される傾向にある。また、素子構造の微細化に伴い、短チャネル効果を防止するための基板濃度はますます上昇する傾向にある。したがって、今後さらに素子の微細化が進んだ場合には、上記 LDD 構造の MOS トランジスタでは素子内の電界を十分に緩和することが困難になってきている。例えば、上記図 8 (2) で示した LDD 構造で短チャネル効果を防止しかつホットエレクトロンの発生を防止できる微細化の範囲は、上記ドレインの高濃度領域及び低濃度領域にヒ素を拡散させた場合でゲート長が約 $0.35 \mu\text{m}$ 以上であり、低濃度領域にリンとヒ素、高濃度領域にヒ素を拡散させた場合でゲート長が約 $0.25 \mu\text{m}$ 以上の素子に制限される。このため、MOS トランジスタの微細化を上記 LDD 構造のままで進めた場合には、素子内で発生する強い電界によってホットエレクトロンが発生し易くなる。そして、このホットエレクトロンによる衝突イオン化で発生したキャリアがゲート酸化膜に捕獲された場合には、例えばしきい値電圧やコンダクタンスのような素子特性が劣化する。

【0008】そこで、本発明は、チャネル形成部の p n 接合付近での電界強度を十分に緩和できる MOS トランジスタ及びその形成方法を提供することによって、MOS トランジスタの微細化を促進させることを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するための本発明の第 1 の MOS トランジスタは、表面に凸部を有する半導体基板に形成されている。上記半導体基板の凸部の上面にはゲート酸化膜を介してゲート電極が形成されている。そして、上記ゲート電極の両側には、少なくとも当該半導体基板の凸部の両側壁に沿ってソース及

びドレインの低濃度領域が配置されている。また、上記ゲート電極を挟んだ当該低濃度領域の両側には当該低濃度領域と接合する状態で上記半導体基板の表面に沿ってソース及びドレインの高濃度領域が配置されている。

【0010】また、本発明の第 1 の MOS トランジスタの形成方法は、以下の手順によって行う。第 1 工程では、半導体基板上にゲート酸化膜を介してゲート電極形成層を成膜し、当該ゲート電極形成層の上面にレジストパターンを形成する。次いで、レジストパターンをマスクにして上記ゲート電極形成層と上記ゲート酸化膜と上記半導体基板の上層とをエッチングすることによって当該ゲート電極形成層からなるゲート電極を形成すると共に当該ゲート電極の下方にゲート酸化膜を介して当該半導体基板の凸部を形成する。その後、第 2 の工程で、半導体基板を回転させながら斜めイオン注入法によって当該半導体基板に不純物イオンを注入する。これによって、当該不純物イオンが注入された半導体基板中において当該斜めイオン注入の際に上記ゲート電極の影になって少なくとも一方向からは上記不純物イオンが注入されない部分にソース及びドレインの低濃度領域を形成し、その他の部分に当該ソース及びドレインの高濃度領域を形成する。

【0011】また、第 2 の MOS トランジスタの形成方法は、上記第 2 の工程で上記斜めイオン注入と上記半導体基板に対してほぼ 0 度の入射角度からのイオン注入とを行い、当該半導体基板中にソース及びドレインの高濃度領域を形成する。

【0012】さらに、第 3 の MOS トランジスタの形成方法は、上記第 2 工程の後、第 3 の工程として上記ゲート電極の側壁と当該ゲート電極下方の上記ゲート酸化膜及び上記半導体基板の側壁とにサイドウォールを形成する。次いで、第 4 の工程として、上記ゲート電極と上記サイドウォールとをマスクにして、上記半導体基板に対してほぼ 0 度の入射角度からのイオン注入を行い、当該半導体基板中にソース及びドレインの高濃度領域を形成する。

【0013】

【作用】上記の MOS トランジスタでは、ゲート電極は半導体基板の凸部の上面に形成され、ソース及びドレインの低濃度領域が半導体基板の凸部の側壁に沿って形成されている。このことから、上記 MOS トランジスタでは、ゲート電極の下方のチャネル形成部と上記ドレインの高濃度領域とは、半導体基板の凸部の段差に対応した間隔を保って配置される。したがって、上記 MOS トランジスタでは、上記段差に対応して素子内の電界が緩和される。

【0014】さらに、上記 MOS トランジスタの形成方法では、レジストパターンをマスクにしたエッチングによって半導体基板に凸部が形成され、この凸部上にゲート電極が形成される。そして、このような状態で半導体

基板に対して斜めイオン注入を行うことから、上記低濃度領域は、当該半導体基板の凸部の段差に対応して広く形成される。

【0015】

【実施例】以下、本発明の第1実施例のMOSトランジスタを図1に基づいて説明する。図に示すように、MOSトランジスタ1は、表面に凸部11aを有する半導体基板11に形成されている。この半導体基板11の凸部11aの上面には、ゲート酸化膜12が形成されている。ゲート酸化膜12上にはゲート電極13が形成されている。上記半導体基板11の凸部11aの両側壁から上記ゲート電極13の側方側にかけての半導体基板11の表面側には、ソース14とドレイン15とが形成されている。

【0016】上記半導体基板11の凸部11a表面は、その両側の凹部11b表面よりも30~50nm程度高く形成されている。また、この半導体基板11は、例えばp型のシリコンからなるものである。P型の不純物としては、例えば 10^{17} cm^{-3} 程度のホウ素が導入されている。

【0017】上記ゲート酸化膜12は、例えばシリコン酸化膜からなるものである。

【0018】上記ゲート電極13は、例えば下層ポリシリコンと上層タングステンシリサイドとからなるポリサイド構造で形成されている。このゲート電極13は、ゲート長Lが0.3 μm 程度のものである。

【0019】上記ソース14及びドレイン15は、上記半導体基板11中に形成される不純物拡散層であり、ここでは、例えばn型の不純物としてヒ素イオンが拡散されている。このソース14及びドレイン15は、低濃度領域14a、15aと当該低濃度領域14a及び15bと比較して上記不純物の拡散濃度が高い高濃度領域14b、15bとで構成されている。上記低濃度領域14a、15aは、半導体基板11の凸部11aの両側壁から凹部11bに沿って配置されている。この低濃度領域14a、15aには、上記n型不純物が $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の濃度で拡散している。一方、上記高濃度領域14b、15bは、ゲート電極13を挟んで上記低濃度領域14a、15aの外側に配置され、上記低濃度領域14a、15aと接合する状態で半導体基板11の凹部11b表面に沿って配置されている。この接合部分では、低濃度領域14a、15aから高濃度領域14b、15bに向かって不純物の拡散濃度が低濃度から高濃度に緩やかに遷移している。そして、高濃度領域14b、15bには、上記n型不純物が最高濃度で $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度の濃度で拡散している。

【0020】上記のMOSトランジスタ1では、半導体基板11の凸部11aの上面にゲート電極13が形成され、ソース14及びドレイン15の高濃度領域14b、15bは半導体基板11の凹部11bの表面に沿って形

成されている。このため、ゲート電極13の下方のチャネル形成部と上記ドレイン15の高濃度領域15bとは、半導体基板11表面の凸部11aの段差に対応した間隔に保たれる。したがって、上記MOSトランジスタ1では、上記段差に対応して素子内の電界が緩和される。

【0021】次に、第2実施例のMOSトランジスタを図2に基づいて説明する。このMOSトランジスタ2は、上記第1実施例のトランジスタ(1)において、ソース24及びドレイン25の低濃度領域24a、25aを半導体基板11の凸部11aの両側壁に沿って配置し、高濃度領域24b、25bを半導体基板11の凹部11表面に沿って配置したものである。上記高濃度領域24b、25bには、上記n型不純物が $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度の濃度で拡散している。

【0022】上記MOSトランジスタ2では、上記第1実施例のMOSトランジスタと同様に、ゲート電極13下のチャネル形成部とドレイン25の高濃度領域25bとが、半導体基板11の凸部11aの段差に対応した間隔を保って配置される。したがって、上記第1実施例のMOSトランジスタと同様に、チャネルとドレイン25とが接する部分では、半導体基板11の表面の段差に対応して不純物の濃度分布が緩和される。そして、このMOSトランジスタ2は、第1実施例のMOSトランジスタと比較してチャネルと各高濃度領域24b、25bとの距離が小さくなる。しかし、各高濃度領域24b、25bの不純物濃度は、低濃度領域24a、25aの不純物量に規制されずに高くすることができる。したがって、低濃度領域24a、25aと高濃度領域24b、25bとの濃度を1桁以上異なる状態にすることが可能になる。

【0023】次に、第3実施例のMOSトランジスタを図3に基づいて説明する。MOSトランジスタ3は、上記第1実施例のトランジスタ(1)において、ゲート電極13及びゲート電極13下方のゲート酸化膜12の側壁と半導体基板11の凸部11aの側壁とに、サイドウォール36を配置したものである。そして、ソース34及びドレイン35の低濃度領域34a、35aを半導体基板11の凸部11aの両側壁からサイドウォール36の下面に沿って配置し、高濃度領域34b、35bをゲート電極13を挟んで上記低濃度領域34a、35aの外側に配置したものである。上記高濃度領域34b、35bには、上記n型不純物が $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度の濃度で拡散している。

【0024】上記MOSトランジスタ3では、上記第1及び第2実施例のMOSトランジスタ(1、2)と同様に、ゲート電極13下のチャネル形成部とドレイン35の高濃度領域35bとは、半導体基板11の段差に対応した間隔を保って配置される。したがって、上記第1及び第2実施例のMOSトランジスタと同様に、チャネル

とドレイン35とが接する部分では、半導体基板11の表面の段差に対応して不純物の濃度分布が緩和される。また、サイドウォール36の幅の分だけ上記第2実施例のMOSトランジスタ(2)と比較して、チャネル形成部と各高濃度領域、34b、35bとの距離を大きくできる。このため、MOSトランジスタ(2)よりも不純物の濃度分布が緩やかになる。さらに、低濃度領域34a、35aと高濃度領域34b、35bとの濃度を1桁以上異なる状態にすることが可能になる。

【0025】次に、上記各実施例で示したMOSトランジスタの形成方法を説明する。第1のMOSトランジスタの形成方法は、上記第1実施例で示したMOSトランジスタの形成方法であり、図4に基づいて説明する。先ず、第1工程では、図4(1)に示すように、p型シリコンからなる半導体基板11の表面に熱酸化法によってシリコン酸化膜からなるゲート酸化膜12を成膜する。

【0026】次に、ゲート酸化膜12上面に、ゲート電極形成層13aを成膜する。ここでは、先ず、CVD法によってゲート酸化膜12上にポリシリコンを堆積させる。さらに、CVD法によってこのポリシリコンの上面にタングステンシリサイドを堆積させる。これによって、ゲート酸化膜12上にポリシリコンとタングステンシリサイドとのポリサイド構造からなるゲート電極形成層13aを成膜する。

【0027】次いで、ゲート電極形成層13aの上面にレジストを塗布してレジスト膜を成膜する。そしてこのレジスト膜をリソグラフィによってパターンニングし、これによってレジストパターン41を形成する。

【0028】その後、このレジストパターン41をマスクにして、上記ゲート電極形成層13aをエッチングしてゲート電極13を形成する。ここではさらに、ゲート電極13の形成に引き続いて、ゲート電極13から露出するゲート酸化膜12をエッチングし、さらに半導体基板11の表面層を30~50nm程度エッチングする。これによって、半導体基板11の表面に凹凸形状を形成する。

【0029】次に、第2の工程では、図4(2)に示すように、半導体基板11を回転させながら、斜めイオン注入法によってn型の不純物イオン4を半導体基板11に注入する。この斜めイオン注入は、不純物イオン4がゲート電極13を突き抜けない程度の高エネルギーで行うことによって、ゲート電極13の下方にまで不純物イオン4を注入する。また、不純物イオン4の半導体基板11に対する注入効率から、不純物イオン4の半導体基板11に対する入射角度を30~45度程度に設定する。その後、上記不純物イオン4を半導体基板11中で熱拡散させる。これによって当該不純物イオン4が注入された半導体基板11中において、当該斜めイオン注入の際にゲート電極13の影になって少なくとも一方向からは不純物イオン4が注入されない部分にソース14及

びドレイン15の低濃度領域14a、15aを形成する。また、その他の部分にソース14及びドレイン15の高濃度領域14b、15bを形成する。

【0030】上記第1のMOSトランジスタの形成方法では、ゲート電極13を形成するためのレジストターン41をマスクにして半導体基板11の表面層がエッチングされるため、ゲート電極13周囲の半導体基板11表面は、ゲート電極13下部の半導体基板11表面よりも低くなる。そして、このような状態で半導体基板11に対して斜めイオン注入を行うため、低濃度領域14a、15aの面積は、上記半導体基板11の表面に形成される段差に対応して広くなる。したがって、ゲート電極13の薄膜化によらず、電界緩和に必要な最低限の面積の低濃度領域14a、15aを有するMOSトランジスタ1が形成される。

【0031】次に、第2のMOSトランジスタの形成方法として、上記第2実施例で示したMOSトランジスタの形成方法を説明する。第2実施例のMOSトランジスタは、例えば、上記第1のMOSトランジスタの形成方法の第2工程に引き続き、図5に示す第3工程を行うことによって形成される。上記第3工程では、半導体基板11に対してほぼ0度の入射角度から、n型の不純物イオン5を注入する。この不純物イオン5としては、例えば上記と同様のヒ素イオンを用いる。その後、上記不純物イオン5を半導体基板11中で熱拡散させる。これによって、半導体基板11の凹部11bの表面に沿って高濃度領域24b、25bを形成する。

【0032】上記MOSトランジスタの形成方法では、2度のイオン注入によって形成される各高濃度領域24b、25bは、斜めイオン注入のみによって形成される低濃度領域24a、25aの不純物濃度に制限されず所定の不純物濃度で形成される。また、低濃度領域24a、25bは上記半導体基板11の凸部11a側壁に沿って形成される。したがって、上記凸部11aの段差を所定の大きさにすることによって、電界緩和に必要な最低限の面積の低濃度領域24a、25aを有するMOSトランジスタ2が形成される。

【0033】次に、第3のMOSトランジスタの形成方法として、上記第3実施例で示したMOSトランジスタの形成方法を説明する。第3実施例のMOSトランジスタは、例えば、上記第1のMOSトランジスタの形成方法の第2工程に引き続き、図6に示す第3、第4工程を行うことによって形成される。先ず、図6(1)に示す第3工程では、ゲート電極13の側壁と当該ゲート電極13下方のゲート酸化膜12側壁と半導体基板11の凸部11aの側壁とにサイドウォール36を形成する。ここでは、例えば、半導体基板11の表面側に、当該半導体基板11、ゲート酸化膜12及びゲート電極13の露出面を覆う状態でシリコン酸化膜(図示せず)を成膜する。次に、このシリコン酸化膜を等方的にドライエッチ

ングする。そして、上記側壁にのみ上記シリコン酸化膜を残し、これをサイドウォール36とする。

【0034】次に、図6(2)に示す第4の工程では、半導体基板11の表面側にn型不純物の高濃度領域34b、35bを形成する。ここでは、ゲート電極13とサイドウォール36とをマスクにして、半導体基板11に対してほぼ0度の入射角度からn型の不純物イオン6を注入する。この不純物イオン6としては、例えば上記と同様のヒ素イオンを用いる。その後、上記不純物イオン6を半導体基板11中で熱拡散させる。これによって、

低濃度領域34a、35aを半導体基板11の凸部11aの側壁からサイドウォール36の下面に沿って形成し、高濃度領域34b、35bをゲート電極13を挟んで上記低濃度領域34a、35aの外側形成する。

【0035】上記MOSトランジスタの形成方法では、2度のイオン注入によって形成される各高濃度領域34b、35bは、斜めイオン注入のみによって形成される低濃度領域34a、35aの不純物濃度に制限されず所定の不純物濃度で形成される。そして、上記半導体基板11表面の段差とサイドウォールの幅とに対応した低濃度領域34a、35aが形成される。したがって、上記第1のMOSトランジスタの形成方法と同様に、ゲート電極13の薄膜化によらず、電界緩和に必要な最低限の面積の低濃度領域14a、15aを有するMOSトランジスタ1が形成される。

【0036】以上、上記各実施例では、よりキャリアの移動度の高いnチャンネルのMOSトランジスタを例にとって説明を行った。しかし、本発明は、pチャンネルのMOSトランジスタにも適用可能である。

【0037】

【発明の効果】以上、説明したように本発明のMOSトランジスタによれば、半導体基板の凸部上にゲート電極を配置し当該凸部の側壁にソース及びドレインの低濃度領域を配置することによって、チャンネル形成部とドレインの高濃度領域とを上記凸部の段差に対応した間隔で配置することが可能になる。このため、半導体基板の表面が平坦に形成されたMOSトランジスタと比較して、チャンネル形成部とドレインとのpn付近でより高い電界緩和能力を得ることが可能になる。したがって、微細化によって不純物濃度が高濃度化するMOSトランジスタで

* ホットキャリアの発生を防止でき、MOSトランジスタの微細化を図ることが可能になる。また、本発明のMOSトランジスタの形成方法によれば、同一のマスクでゲート電極形成層と半導体基板の表面層をエッチングした後半導体基板に対して斜めイオン注入を行うことによって、この斜めイオン注入で形成されるソース及びドレインの低濃度領域をより広く形成することが可能になる。このため、微細化によるゲート電極の薄膜化に制限されず、素子内の電界を十分に緩和できるMOSトランジスタを形成することができる。

【図面の簡単な説明】

【図1】第1実施例のMOSトランジスタの断面図である。

【図2】第2実施例のMOSトランジスタの断面図である。

【図3】第3実施例のMOSトランジスタの断面図である。

【図4】第1実施例のMOSTrの形成方法を示す図である。

20 【図5】第2実施例のMOSTrの形成方法を示す図である。

【図6】第3実施例のMOSTrの形成方法を示す図である。

【図7】従来例を説明する図である。

【図8】従来例を説明する図である。

【符号の説明】

4, 5, 6 不純物イオン

11 半導体基板

11a 凸部

30 12 ゲート酸化膜

13 ゲート電極

13a ゲート電極形成層

14, 24, 34 ソース

15, 25, 35 ドレイン

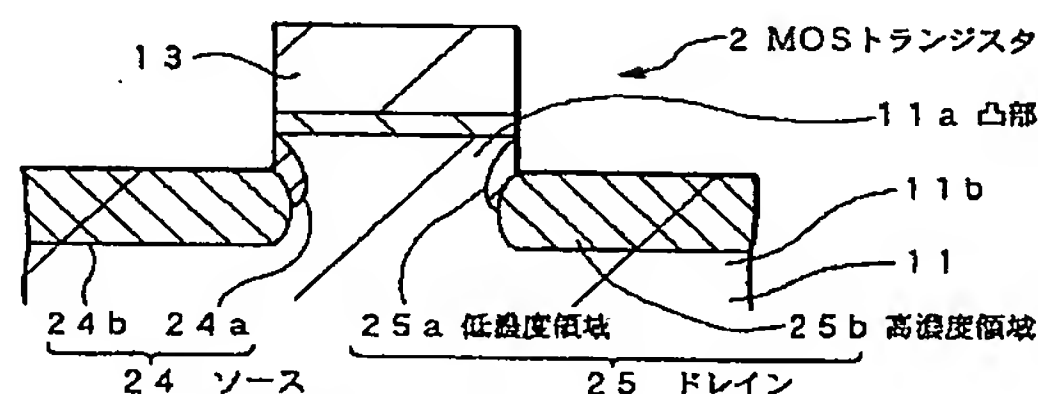
14a, 15a, 24a, 25a, 34a, 35a 高濃度領域

14b, 15b, 24b, 25b, 34b, 35b 高濃度領域

36 サイドウォール

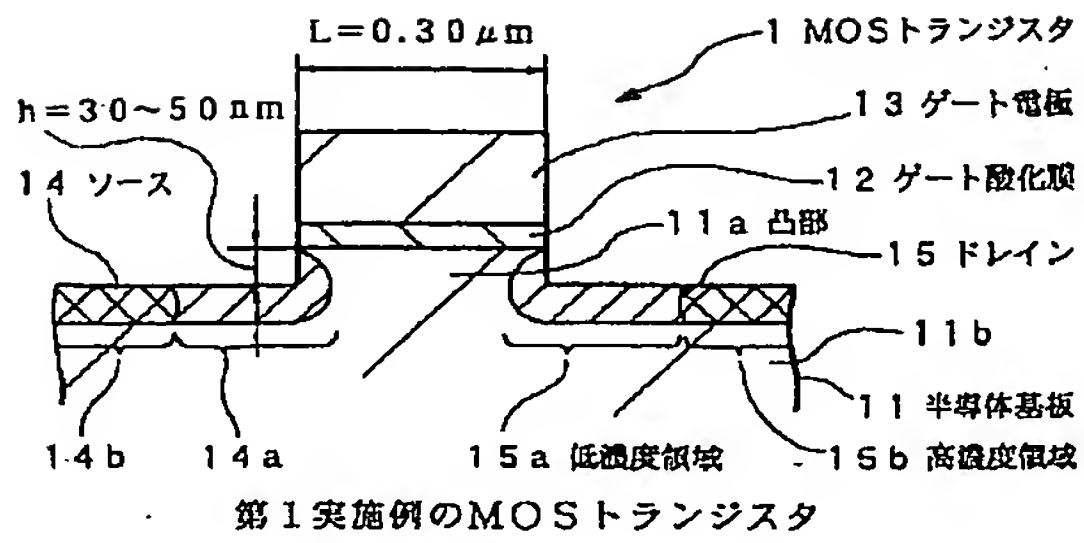
41 レジストパターン

【図2】

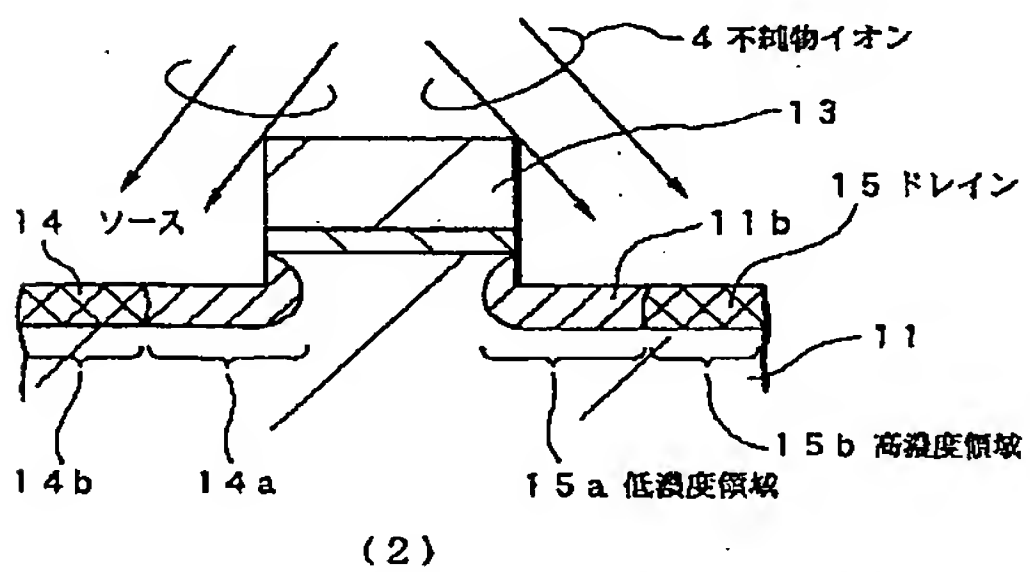
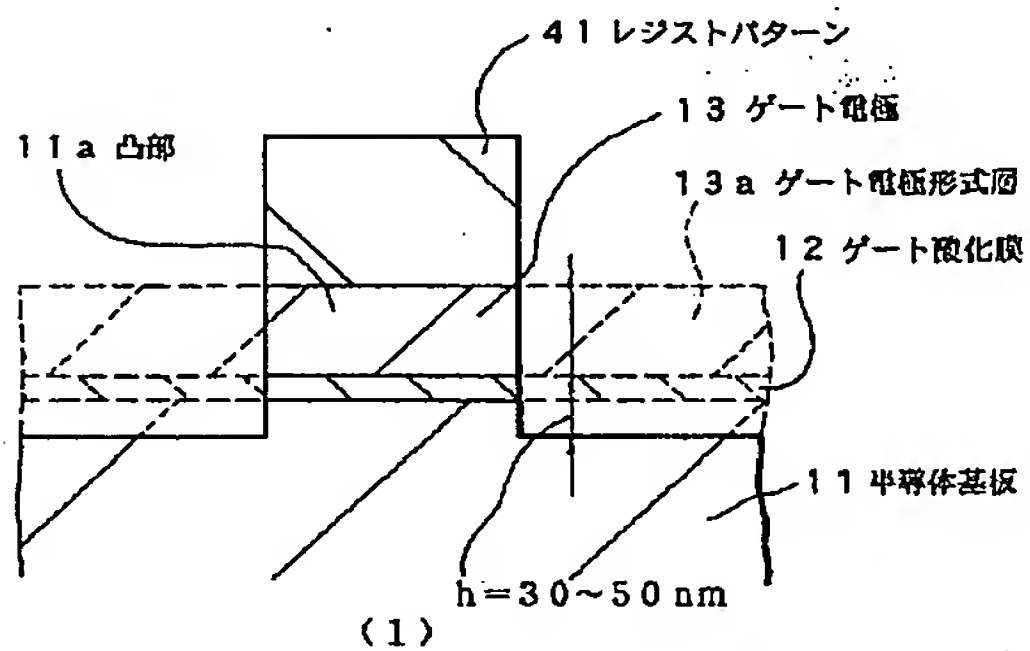


第2実施例のMOSトランジスタ

【図1】

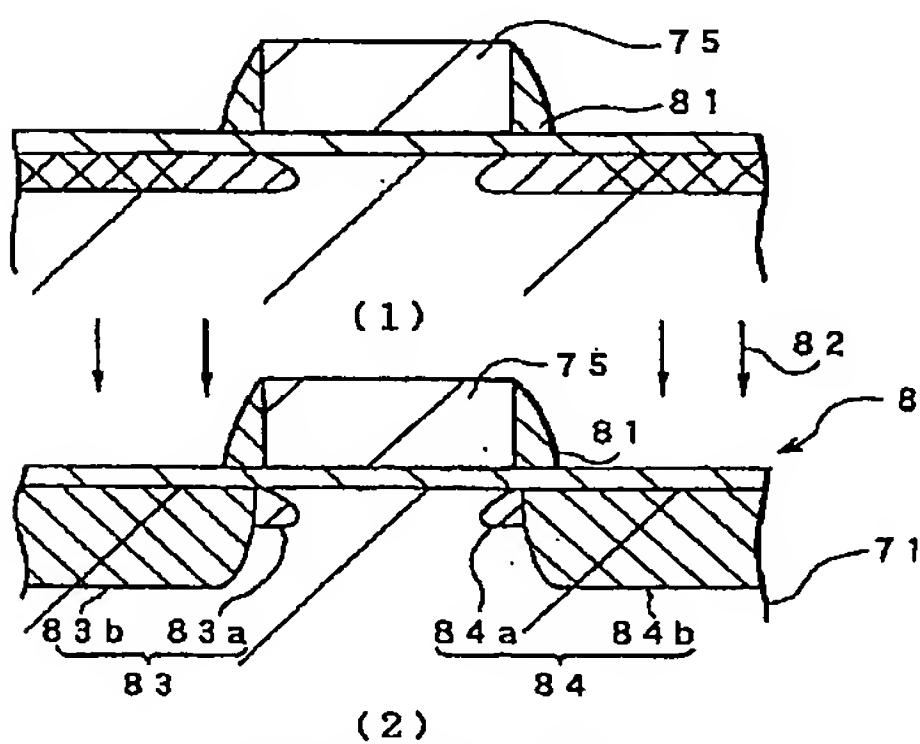


【図4】



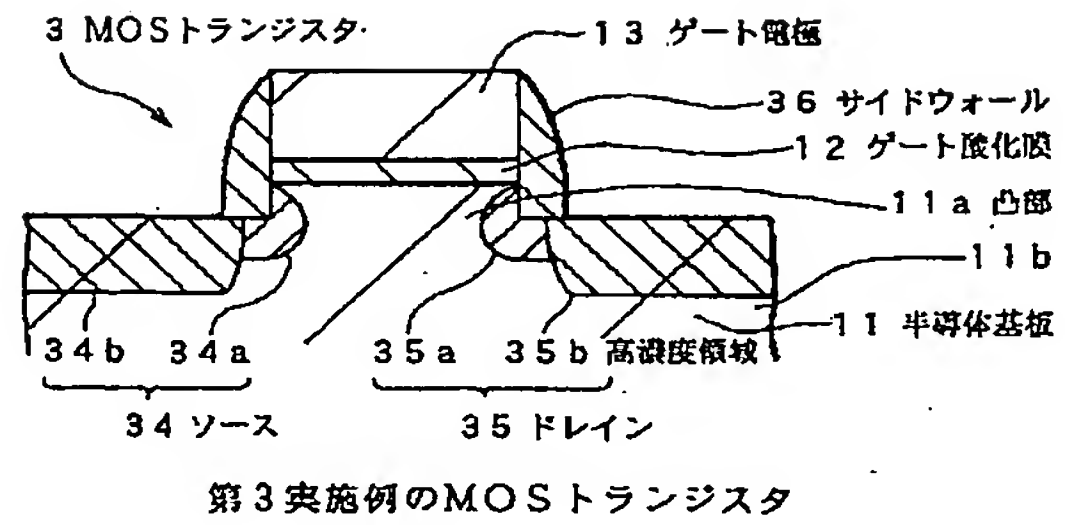
第1実施例のMOSトランジスタの形成方法を示す図

【図8】

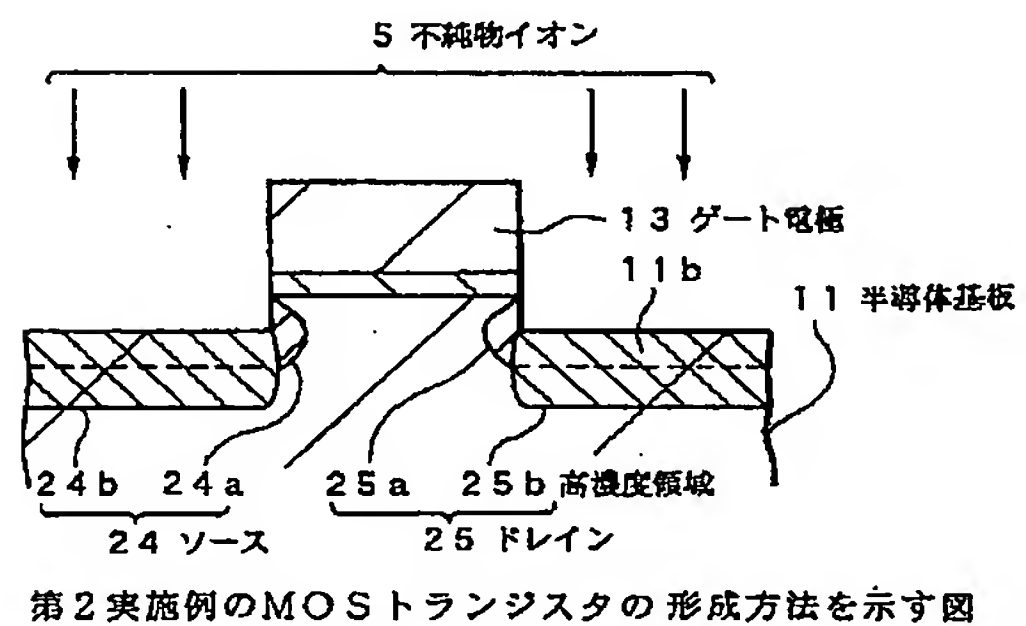


従来例を説明する図

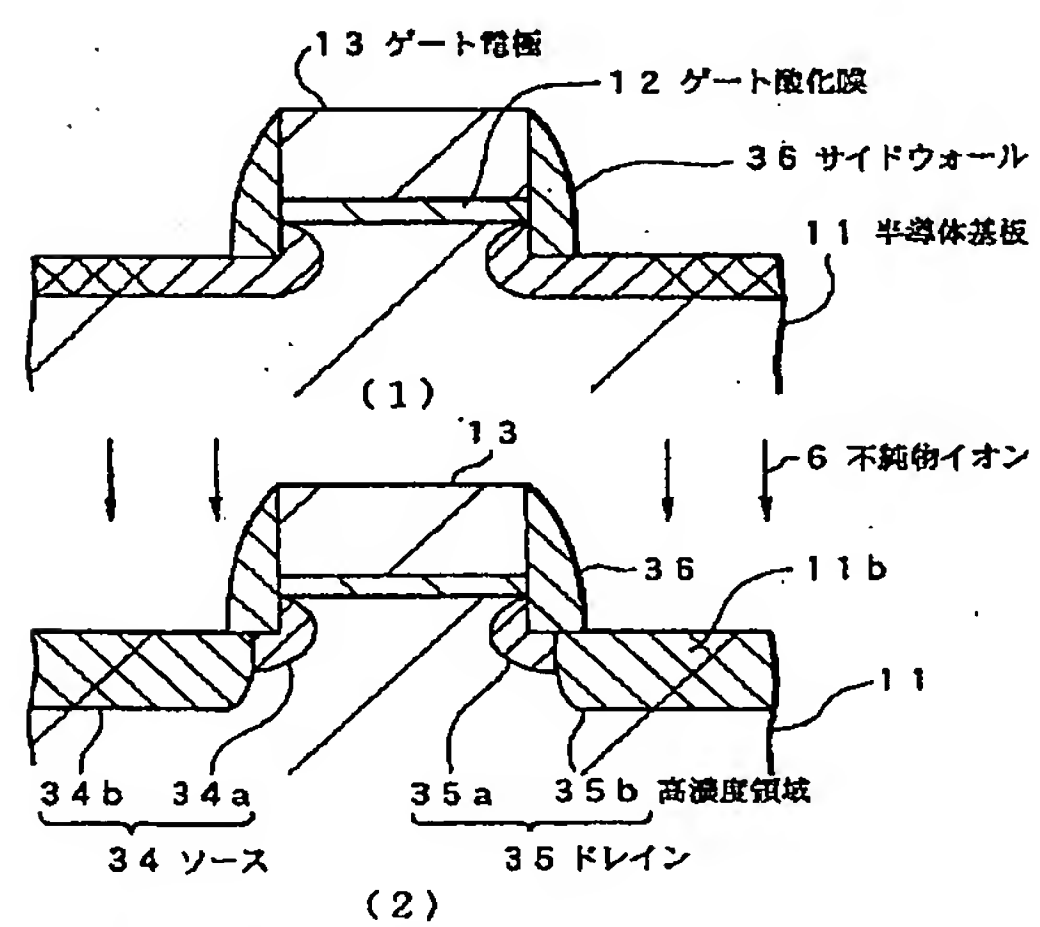
【図3】



【図5】

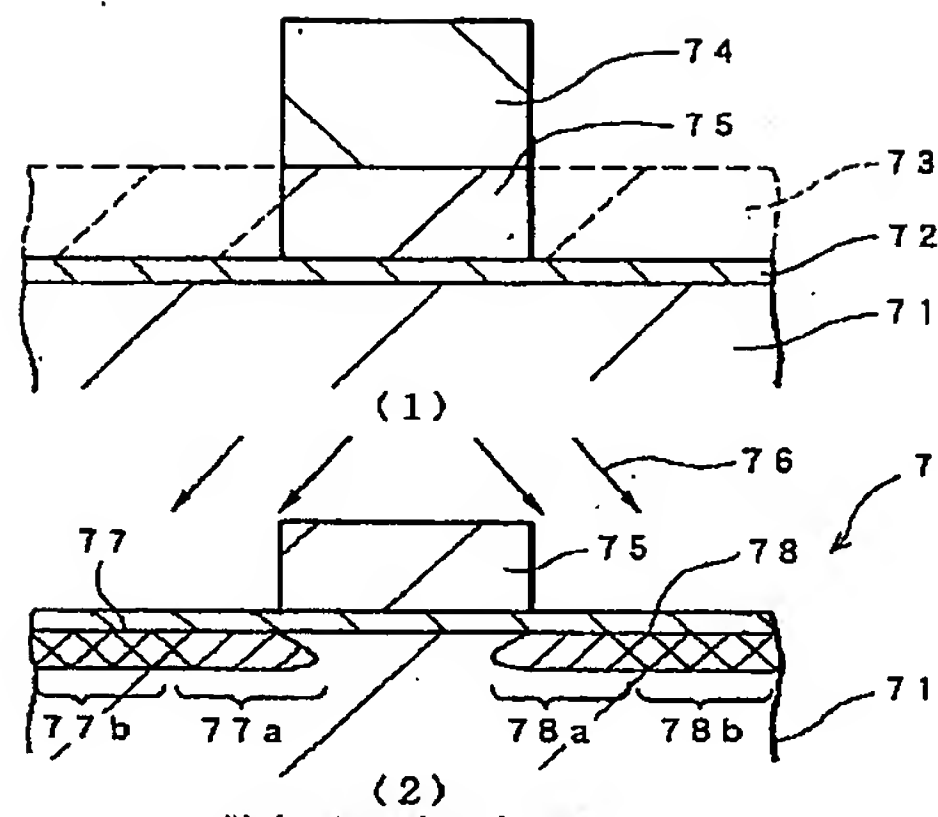


【図6】



第3実施例のMOSトランジスタの形成方法を示す図

【図 7】

(2)
従来例を説明する図

フロントページの続き

(51)Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 X